

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-68983

(P2003-68983A)

(43) 公開日 平成15年3月7日 (2003.3.7)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1 5 F 0 8 3
G 1 1 C 11/15	1 1 2	G 1 1 C 11/15	1 1 2
H 0 1 L 27/105		H 0 1 L 43/08	Z
43/08		27/10	4 4 7

審査請求 未請求 請求項の数20 O L (全 8 頁)

(21) 出願番号 特願2002-152419(P2002-152419)
 (22) 出願日 平成14年5月27日 (2002.5.27)
 (31) 優先権主張番号 09/893, 830
 (32) 優先日 平成13年6月28日 (2001.6.28)
 (33) 優先権主張国 米国 (US)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (72) 発明者 シェン デン スー
 アメリカ合衆国 ワシントン 98607,
 ケイマス, エスタブリュー トラウト
 コート 2216
 (74) 代理人 100078282
 弁理士 山本 秀策 (外2名)

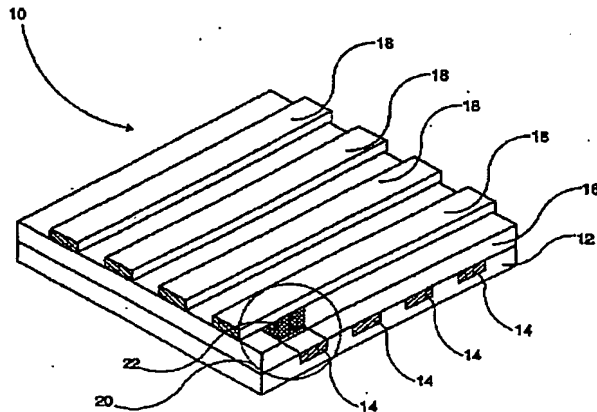
最終頁に続く

(54) 【発明の名称】 電気的にプログラム可能な抵抗特性を有する、クロストークが低いクロスポイントメモリ

(57) 【要約】

【課題】 クロストークが低い、電気的な抵抗特性を有するクロスポイントメモリ構造を提供すること。

【解決手段】 本発明によるメモリ構造は、a) 基板と、b) 上記基板上に設けられた複数の下部電極と、c) 上記下部電極上に設けられた複数の上部電極であって、上記上部電極は、上記下部電極と交差し、交差するそれぞれの位置にクロスポイントを形成する、上部電極と、d) 各クロスポイントにおける上記複数の上部電極と上記複数の下部電極との間に配置されたアクティブ層であるペロブスカイト材料と、を含む。



【特許請求の範囲】

【請求項1】 a) 基板と、

b) 該基板上に設けられた複数の下部電極と、

c) 該下部電極上に設けられた複数の上部電極であつて、該上部電極は、該下部電極と交差し、交差するそれぞれの位置にクロスポイントを形成する、上部電極と、

d) 各クロスポイントにおける該複数の上部電極と該複数の下部電極との間に配置されたアクティブ層であるペロブスカイト材料と、を含む、メモリ構造。

【請求項2】 前記下部電極は、該下部電極上に設けられた該ペロブスカイト材料をエビタキシャル形成することを可能にする下部電極材料を含む、請求項1に記載のメモリ構造。

【請求項3】 前記下部電極材料はYBCOである、請求項2に記載のメモリ構造。

【請求項4】 前記下部電極はプラチナを含む、請求項1に記載のメモリ構造。

【請求項5】 アクティブ層が巨大磁気抵抗(CMR)材料である、請求項1に記載のメモリ構造。

【請求項6】 アクティブ層が $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ (PCMO)である、請求項1に記載のメモリ構造。【請求項7】 アクティブ層が $\text{Gd}_{0.7}\text{Ca}_{0.3}\text{BaCo}_2\text{O}_{7-x}$ である、請求項1に記載のメモリ構造。

【請求項8】 メモリ構造を製造する方法であつて、該方法は、

a) 半導体基板を提供する工程と、

b) 複数の下部電極を形成する工程と、

c) 該下部電極上に絶縁材料を堆積する工程と、

d) 該下部電極についての開口部をエッチングする工程と、

e) 該下部電極および該絶縁材料の上にペロブスカイト材料の層を堆積する工程と、

f) 該ペロブスカイト材料の層を研磨し、これにより該ペロブスカイト材料を該開口部に残し、抵抗性ビットを形成する工程と、

g) 該ペロブスカイト材料の層上に複数の上部電極を形成する工程と、を含む、方法。

【請求項9】 前記下部電極は、該下部電極上の該ペロブスカイト材料の層をエビタキシャル形成することを可能にする下部電極材料を含む、請求項8に記載の方法。

【請求項10】 前記下部電極材料はYBCOである、請求項9に記載の方法。

【請求項11】 前記下部電極はプラチナを含む、請求項8に記載の方法。

【請求項12】 前記絶縁材料は二酸化シリコンである、請求項8に記載の方法。

【請求項13】 前記ペロブスカイト材料が巨大磁気抵抗(CMR)材料である、請求項8に記載の方法。

【請求項14】 前記ペロブスカイト材料が $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ (PCMO)である、請求項8に記載の方法

法。

【請求項15】 前記ペロブスカイト材料が $\text{Gd}_{0.7}\text{Ca}_{0.3}\text{BaCo}_2\text{O}_{7-x}$ である、請求項8に記載の方法。

【請求項16】 前記ペロブスカイト材料を研磨する工程が化学的機械的研磨法を包含する、請求項8に記載の方法。

【請求項17】 前記上部電極を前記下部電極上に設け、これによりクロスポイントメモリ構成を形成する、請求項8に記載の方法。

【請求項18】 前記ペロブスカイト材料の層を堆積する工程の前に、メモリ回路を形成する工程をさらに包含する、請求項8に記載の方法。

【請求項19】 前記メモリ回路は、インバータの入力に接続されたビットバストランジスタおよび該インバータの入力と接地との間に接続されたロードトランジスタを含む、請求項18に記載の方法。

【請求項20】 前記ビットバストランジスタがnチャネルトランジスタであり、前記ロードトランジスタがnチャネルトランジスタである、請求項19に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性メモリに関し、さらに詳細には、電気的パルスで誘起される磁気抵抗膜の抵抗変化効果を利用するクロスポイント構造に関する。

【0002】

【従来の技術】ペロブスカイト構造を有する材料であつて、それらのうち巨大磁気抵抗(CMR)材料および高温超伝導(HTSC)材料は、外部影響により変更され得る電気的な抵抗特性を有する材料である。

【0003】例えば、ペロブスカイト構造を有する材料(特にCMR材料およびHTSC材料)の特性は、薄膜またはバルク材料に1つ以上の電気的なショートパルス印加することにより変更され得る。単数または複数のパルスからの電場の強さまたは電流密度は、材料の物理的状態を切り換えるのに十分であり、これにより材料の特性を変更させる。パルスは、材料を破壊しないか、またはひどいダメージを与えない程度の十分低いエネルギーである。複数のパルスは、材料の特性のインクリメントな変化を生成するようにその材料に印加され得る。変化され得る特性の1つは、材料の抵抗である。その変化は、初期の変化を誘導するように使用されるパルスと反対の極性を有するパルスを用いると、少なくとも部分的に反転可能となり得る。

【0004】

【発明が解決しようとする課題】本発明は、クロストークが低い、電気的な抵抗特性を有するクロスポイントメモリ構造を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明によるメモリ構造は、a) 基板と、b) 上記基板上に設けられた複数の下部電極と、c) 上記下部電極上に設けられた複数の上部電極と交差し、交差するそれぞれの位置にクロスポイントを形成する、上部電極と、d) 各クロスポイントにおける上記複数の上部電極と上記複数の下部電極との間に配置されたアクティブ層であるペロブスカイト材料と、を含み、これにより上記目的が達成される。

【0006】上記下部電極は、上記下部電極上に設けられた上記ペロブスカイト材料をエビタキシャル形成することを可能にする下部電極材料を含んでもよい。

【0007】上記下部電極材料はYBCOを含んでもよい。

【0008】上記下部電極材料はプラチナを含んでもよい。

【0009】アクティブ層が巨大磁気抵抗(CMR)材料であってもよい。

【0010】アクティブ層が $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ 、(PCMO)であってもよい。

【0011】アクティブ層が $\text{Gd}_{0.7}\text{Ca}_{0.3}\text{BaCo}_2\text{O}_{7-x}$ 、であってもよい。

【0012】本発明のメモリ構造を製造する方法は、a) 半導体基板を提供する工程と、b) 複数の下部電極を形成する工程と、c) 上記下部電極上に絶縁材料を堆積する工程と、d) 上記下部電極についての開口部をエッチングする工程と、e) 上記下部電極および上記絶縁材料の上にペロブスカイト材料の層を堆積する工程と、f) 上記ペロブスカイト材料の層を研磨し、これにより上記ペロブスカイト材料を上記開口部に残し、抵抗性ビットを形成する工程と、g) 上記ペロブスカイト材料の層上に複数の上部電極を形成する工程と、を包含し、これにより上記目的が達成される。

【0013】上記下部電極は、上記下部電極上の上記ペロブスカイト材料の層をエビタキシャル形成することを可能にする下部電極材料を含んでもよい。

【0014】上記下部電極はYBCOを含んでもよい。

【0015】上記下部電極はプラチナを含んでもよい。

【0016】上記絶縁材料が二酸化シリコンであってもよい。

【0017】上記ペロブスカイト材料が巨大磁気抵抗(CMR)材料であってもよい。

【0018】上記ペロブスカイト材料が $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ 、(PCMO)であってもよい。

【0019】上記ペロブスカイト材料が $\text{Gd}_{0.7}\text{Ca}_{0.3}\text{BaCo}_2\text{O}_{7-x}$ 、であってもよい。

【0020】上記ペロブスカイト材料を研磨する工程が化学的機械的研磨法を包含してもよい。

【0021】上記上部電極を上記下部電極上に設け、これによりクロスポイントメモリ構成を形成してもよい。

【0022】上記ペロブスカイト材料の層を堆積する工程の前に、メモリ回路を形成する工程をさらに包含してもよい。

【0023】上記メモリ回路は、インバータの入力に接続されたビットバストランジスタおよび上記インバータの入力と接地との間に接続されたロードトランジスタを含んでもよい。

【0024】上記ビットバストランジスタがnチャネルトランジスタであり、上記ロードトランジスタがnチャネルトランジスタであってもよい。

【0025】従って、基板と、基板上の複数の下部電極と、下部電極上の複数の上部電極とを含み、クロスポイントメモリ構造を形成するメモリ構造が提供される。各クロスポイントに配置されたペロブスカイト材料は、上部電極と下部電極との間に配置される。ここで、ペロブスカイト材料は、1ビットとして機能する。各ビットは、メモリ回路内の可変抵抗として機能し得る。

【0026】低いクロストークメモリ構造は、少なくとも1つの下部電極を形成するように、基板に導電材料を堆積し、バタニングすることにより形成される。二酸化シリコン等の絶縁材料の層は、基板および少なくとも1つの下部電極上に堆積される。少なくとも1つの接続開口部は、絶縁材料を通して絶縁材料の下にある下部電極までエッチングされる。ペロブスカイト材料の層は、下部電極および絶縁材料に堆積される。ペロブスカイト材料は絶縁材料の表面から研磨され、その結果、ペロブスカイト材料は接続開口部内に残存する。少なくとも1つの上部電極は、クロスポイントを形成するペロブスカイト材料の位置で下部電極に交差するように形成される。

【0027】メモリ回路は、メモリ構造の形成前に基板上に形成され得る。メモリ回路は、プログラミングおよびメモリ構造の読み出しを支援する。メモリ構造の形成前にメモリ回路を形成することは、メモリ構造の形成に続くさらなる次の処理によるペロブスカイト材料へのダメージを減少させる。

【0028】

【発明の実施の形態】クロストークが低い、抵抗性メモリアレイを形成する方法が提供される。図1は、いくつかの初期処理の後のクロスポイントメモリアレイ領域10の断面図を示す。メモリアレイ領域10は、基板12上に形成された下部電極14を備える基板12を含む。約300nm〜約800nmの酸化物16層は、基板上に堆積され、平坦化され、エッチングされ、開口部15が下部電極にアクセス可能なように形成される。下部電極上の酸化物層の厚みは、材料および所望の抵抗に依存して、50nm〜600nmである。

【0029】基板12は、 LaAlO_3 、Si、TiNまたは他の材料等のアモルファス、多結晶または結晶のいずれかである任意の適切な基板材料である。

【0030】下部電極14は、導電性酸化物または他の導電材料で作製される。好適な実施態において、導電材料は、導電材料上へのペロブスカイト材料のエピタキシャル成長を可能とする $YBa_2Cu_3O_7$ (YBCO)等の材料である。別の好適な実施形態において、導電材料はプラチナである。下部電極は、約5nm～約500nmの間の範囲の厚みである。図示されるように、下部電極は、初めに溝を形成することなく、および研磨なしに堆積され、バターンニングされる。

【0031】ここで、図2を参照すると、ペロブスカイト材料17の層は、酸化物16の上に堆積され、開口部15を満たす。ペロブスカイト材料17は、電気信号に応答して、その抵抗率を変化させ得る材料である。ペロブスカイト材料は、好適には、巨大磁気抵抗 (CMR) 材料または高温超伝導 (HTSC) 材料 (例えば、 $Pr_{0.7}Ca_{0.3}MnO_3$ (PCMO)) である。適切な材料の別の例は、 $Gd_{0.7}Ca_{0.3}BaCo_2O_{7.5}$ である。ペロブスカイト材料の厚みは、好適には、約50nm～約500nmである。ペロブスカイト材料17は、パルスレーザー堆積、rfスパッタリング、電子ビーム蒸着、熱蒸着、有機金属堆積、ゾルゲル堆積、および有機金属化学気相成長法等の任意の適切な堆積技術を用いて堆積され得る。

【0032】図3は、ペロブスカイト材料17の研磨処理後のメモリアレイ領域10を示す。ペロブスカイト材料は、好適には、CMPを用いて研磨される。

【0033】図4は、上部電極18を堆積し、バターンニングした後のメモリアレイ領域10を示す。上部電極18は、好適には、プラチナ、銅、銀、または金等の導電材料を含む。下部電極14と上部電極18の1つとの間に、ここで配置されるペロブスカイト材料は、抵抗メモリビット22である。

【0034】図5は、クロスポイントメモリアレイ領域10を示す。メモリアレイ領域10は、基板上に形成された複数の下部電極14を備えた基板12を含む。別の実施形態を図示するために、複数の下部電極14は、溝を形成し、導電材料を堆積し、基板と同じ高さまで導電材料を研磨することにより形成される。研磨工程は、化学機械的研磨法 (CMP) または他の適切な手段を用いて達成され得る。酸化物16の層は、複数の下部電極14上に堆積される。複数の上部電極18は、各メモリビット22が下部電極14と上部電極18との間に配置されるように、酸化物16の層、およびペロブスカイト材料17上に設けられる。

【0035】ここで、(点線の円により示される) 透明領域20は、例示目的のためだけに、その領域が透明であるものとして示すために用いられており、上記材料自体は、透明であってもよいし、あるいは透明でなくともよい。各ビット領域は、クロスポイントに対応する。酸化物16は、ビット22と連続している。酸化物は、絶

縁材料として振る舞い、ビット間のクロストークを減少させるか、または消去する。説明を容易にするために、酸化物が示されるが、代わりに、他の適切な絶縁材料を用いることも可能である。ビット22は、少なくとも2つの抵抗値間の間で変化され得る可変抵抗として振る舞う。ビット22の抵抗の変化は、好適には可逆的である。抵抗率変化の可逆性は、いくつかのヒステリシスを組み込み得る。一度書き読み出し専用 (WORM) 等のいくつかの用途については、抵抗変化は全く可逆である必要はない。

【0036】例えば、ビット22は $1\mu m \times 1\mu m$ の断面積を有し、YBCOが60nmの厚みを備えたビット22を形成するように用いられる場合、高い抵抗状態は、約170MΩであり、低い抵抗状態は、約10MΩである。低電圧メモリデバイスについて、ビット22が1ボルトにバイアスされる場合、ビットを流れる電流は、高い抵抗状態に対して約6nAであり、低い抵抗状態に対して約100nAである。この実施例は、例示目的のみに提供される。抵抗値は、ビットの厚み、材料および断面積に依存して、変化する。ビットに印加される電圧は、ビットを通る電流にさらに影響する。

【0037】上部電極18および下部電極14はそれぞれ、好適には、実質的に並行な行である。上部電極18および下部電極14は、規則的なパターンで互いに交差するようにクロスポイント配置に配列される。クロスポイントは、上部電極が下部電極と交差するそれぞれの位置を示す。示されるように、上部電極および下部電極は、互いに実質的に90°で配列される。上部電極および下部電極はそれぞれ、クロスポイントメモリアレイの一部としてのワード線またはビット線のどちらかとして機能し得る。

【0038】図5は、メモリアレイ領域をまさに示す。実際のデバイスにおいて、基板12、下部電極14および上部電極18が、メモリアレイ領域を越えて、他のデバイス構造を含む他の領域にまで拡大し得ることは、明らかである。

【0039】ここで図6を参照すると、メモリ回路32に接続されたメモリアレイ領域10を含むメモリデバイス30が示される。メモリ回路32は、少なくとも1つのロードトランジスタ36および少なくとも1つのインバータ38に接続された少なくとも1つのビットバストランジスタ34を含む。これらの構造は、個別の半導体素子の形成が周知であるので、模式的に示される。

【0040】メモリデバイス30を作製する方法の好適な実施形態において、メモリ回路32のトランジスタ構造、相互接続またはメモリ回路32の他の構成要素のうち1つ以上は、メモリアレイ領域10の形成前に形成され得る。メモリアレイ領域10を形成する前にメモリ回路32の構成要素を形成することによって、次の処理によるペロブスカイト材料の劣化可能性は、減少される

か、または無くなる。

【0041】図7は、16ビット、4×4メモリアレイのメモリブロック30の模式図である。メモリブロック30は、メモリ回路32に接続されたメモリアレイ領域10を含む。この模式図において、各ビットは、ビット線B1～B4としても示される下側電極14とワード線W1～W4としても示される上側電極18との間で接続されたビット抵抗器52として示される。あるいは、下側電極は、ワード線であり得、上側電極はビット線であり得る。ビット線は、メモリ回路32に接続される。示されるように、下側電極は、ビット線であり、下側電極は、メモリ回路32に接続される。

【0042】ビット抵抗器52は、電気信号に応答して、高い抵抗状態および低い抵抗状態を含む少なくとも2つの値の間で変化され得る抵抗を有する。

【0043】ここで、メモリ回路32を参照すると、ビット線それぞれは、ビットバストラジスタ34に接続される。ビットバストラジスタ34は、ビットバスゲート64を有する。ビットバスゲート64は、どのビットがプログラミングされているか、または読み出されているかを判定するように機能する。ビットバストラジスタは、ロードゲート66を有するロードトランジスタ36とインバータ38とに接続される。ロードトランジスタは、どのメモリブロックがプログラミングされているか、または読み出されているかを判定するように用いられる。インバータは、ロードトランジスタと組み合わせて、2つの電圧レベルの間の出力を設定するように用いられ、その結果、バイナリ状態が読み出され得る。

【0044】一旦デバイスが完成され、動作されると、それはプログラミングされ、読み出され得る。全てのビット抵抗器52を、詳細には、1本のワード線に沿う全てのビット抵抗器52を、高い抵抗または低い抵抗と同じレベルに設定することもまた、望まれ得る。これは、ワード消去またはブロック消去を生成するように用いられ得る。例えば、nチャネルトランジスタがバストラジスタおよびロードトランジスタについて用いられる場合、負の電圧、または複数の負の電圧パルスをワード線（例えば、W1）にかけて、メモリブロック30のビットバスゲート64およびロードトランジスタゲート66を接地することにより、ワード線のクロスポイントの全てのビット抵抗器52を、同じ抵抗状態（高い抵抗または低い抵抗のいずれか）に設定する。ビットバスゲートおよびロードゲートが、電流がビットを通して流れ得るように、適切にバイアスされる場合、ワード線の正の電圧を用いることも可能である。

【0045】別の実施形態において、pチャネルトランジスタは、ビットバストラジスタおよびロードトランジスタとして用いられ得る。この場合、正の電圧がワード線に印加される一方で、ビットバスゲートおよびロードゲートを接地する。負の電圧が、電流がビットを通

て流れ得るように、ビットバスゲートおよびロードゲートに十分に印加される場合、負の電圧パルスが用いられ得る。

【0046】印加される電圧、または複数の電圧パルスは、好適には、ペロブスカイト材料に損傷を与えないようなレベルである。好適には、ワード線のクロスポイントの全てのビット抵抗器52は、高い抵抗レベルに設定される。1つのパルスがビット領域の抵抗率を変えるのに十分でない場合、ペロブスカイト材料が損傷を受けるレベルより低いレベルの複数の電圧パルスは、ビット領域の抵抗率の変化に影響するように用いられ得る。残りのワード線に上記プロセスを繰り返すことによって、メモリブロック全体が同じ状態に設定され得る。

【0047】ビット50は、ビットバスゲート64に第1のオン電圧を印加し、ロードゲート66に第2のオン電圧を印加し、少なくとも1つのプログラミング電圧パルスをワード線に与えることによって、プログラミングされ得る。ワード線に与えられた電圧パルスは、ワード消去またはブロック消去に対して用いられる極性と逆の極性であり、ビット抵抗器52の抵抗率を逆の抵抗状態に変化させる。nチャネルトランジスタは、1実施形態において上述されたように用いられる場合、プログラミングパルスが正となり、ビット抵抗器52の抵抗は、好適には、高い抵抗状態から低い抵抗状態に変化される。

【0048】任意の選択されていないビットのビットバスゲート64および任意の選択されていないメモリブロック30のロードトランジスタゲート66が接地に接続される。ワード線およびビット線のクロスポイントの任意の電圧は、非常に微小であり、その結果、抵抗における著しい変化は選択されていないビットで生じない。

【0049】上述したように、ワード線、ビットバスゲート、ならびにロードゲートに加えられた極性および電圧は、メモリ回路の所望の振る舞いを得るために、nチャネルトランジスタが用いられるか、またはpチャネルトランジスタが用いられるかに依存して、選択され得る。

【0050】ビットが読み出され得る。ロード電圧がロードゲート66に印加される。ロード電圧は、ロードトランジスタ36の閾値電圧よりも小さい。さらに、このロード電圧におけるロードトランジスタ36の飽和電流は、ロードトランジスタ36が高い抵抗レベルにある場合、ビット抵抗器52を通る電流フローよりも大きい。しかし、このロード電圧におけるロードトランジスタ36の飽和電流は、ロードトランジスタ36が低い抵抗レベルにある場合、ビット抵抗器52を通る電流フローよりも低い。ビットバスゲート64は、電流がビットバストラジスタ34を流れ得るために十分な電圧（例えば、 V_{cc} ）に維持される。読み出し電圧は、ワード線に印加される。ワード線に印加される電圧は、好適には、ビット抵抗器52の抵抗率を変えるのに必要な限界電圧

よりも低い電圧のバルスである。

【0051】ビット抵抗器52が高い抵抗状態にある場合、ビット抵抗器52を通る電流フローは、ロードトランジスタ36の飽和電流よりも小さい。次いで、ビット線の電圧は、インバータ38の入力でのnチャネルトランジスタの閾値電圧より低い。次いで、インバータの出力電圧は、電源電圧にほぼ等しい。

【0052】ビット抵抗器52が低い抵抗状態にある場合、大きな電流はビット抵抗器を通して流れる傾向にある。この大きな電流はロードトランジスタの飽和電流よりも大きい。ビット線の電圧は、インバータ38の入力でのnチャネルトランジスタの閾値電圧より大きい。次いで、インバータの出力電圧は、接地に対応する約0ボルトに等しい。

【0053】上述の実施例を用いると、ビットを通る電流が6nA~100nAであることが期待される。ロードトランジスタのロードゲートで印加されるバイアス電圧は、ロードトランジスタの飽和電流が6nA~100nA（例えば、50nA）であるように選択される必要がある。ビットの抵抗が、ビットを通る電流が50nA未満であるのに十分高くある場合、電流は、ロードトランジスタを通して流れず、インバータの出力は動作電圧（例えば、 V_{cc} ）に至る。ビットの抵抗が、50nAより大きい電流がビットを通して流れるように低い場合、電流は、ロードトランジスタを通して流れ、インバータの出力が約0ボルト、または接地に至る。ビットが0ボルトに対応する高い抵抗にあり、ビットが動作電圧に対応する低い抵抗にあることが所望である場合、さらなるインバータがインバータの出力に追加され得る。

【0054】好適な実施形態、および他の実施形態が上述されてきたが、本発明の適用範囲は、これらの特定の実施形態に限定されない。むしろ、特許請求の範囲が本発明の範囲を決定する。

【0055】クロストークが低い抵抗性クロスポイントメモリデバイスが、その製造方法および使用方法と共に*

*提供される。メモリデバイスは、上側電極と下側電極とのクロスポイントに配置されるペロブスカイト材料を用いて形成されるビットを含む。各ビットは、1つ以上の電圧パルスの付与に応答して、抵抗率の範囲を変え得る抵抗特性を有する。電圧パルスは、ビットの抵抗率を増加させ、ビットの抵抗率を減少させるように用いられ得るか、またはビットの抵抗率を判定し得る。プログラミングを支援し、ビット領域から読み出すメモリ回路が提供される。

10 【0056】

【発明の効果】本発明によって、クロストークが低い、電気的な抵抗特性を有するクロスポイントメモリ構造を提供することができる。

【図面の簡単な説明】

【図1】図1は、製造中のクロスポイントメモリ構造の断面図である。

【図2】図2は、製造中のクロスポイントメモリ構造の断面図である。

20 【図3】図3は、製造中のクロスポイントメモリ構造の断面図である。

【図4】図4は、製造中のクロスポイントメモリ構造の断面図である。

【図5】図5は、クロスポイントメモリアレイ領域の等角投影図である。

【図6】図6は、クロスポイントメモリアレイ領域に接続されるメモリ読み出し回路の模式図である。

【図7】図7は、読み出し回路を備えるクロスポイントメモリデバイスの模式図である。

【符号の説明】

10 クロスポイントメモリアレイ領域

12 基板

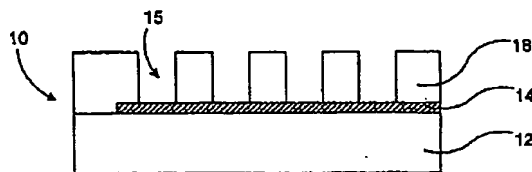
14 下部電極

16 酸化物

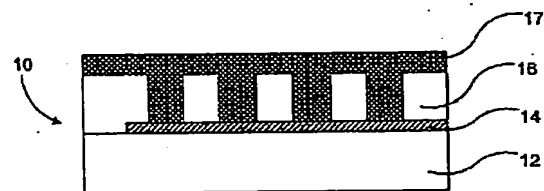
18 上部電極

22 メモリビット

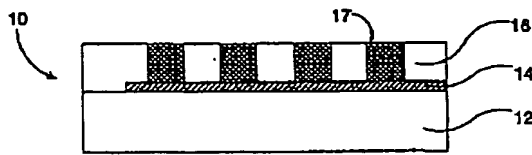
【図1】



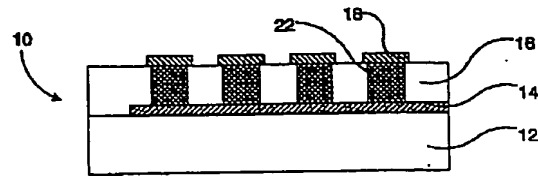
【図2】



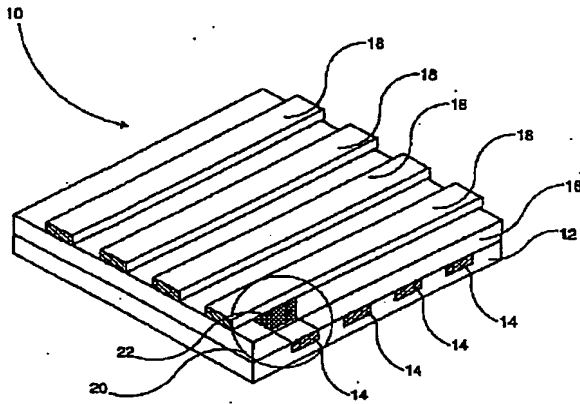
【図3】



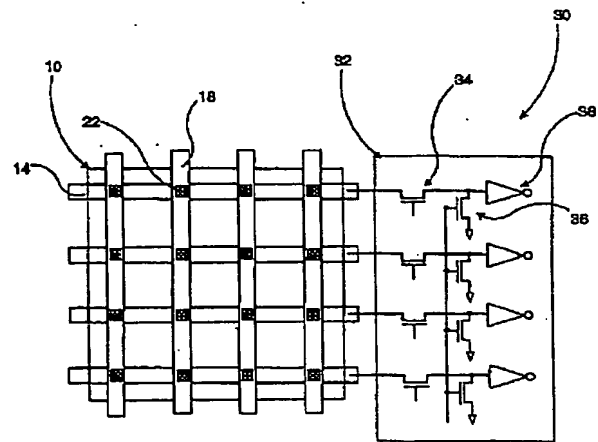
【図4】



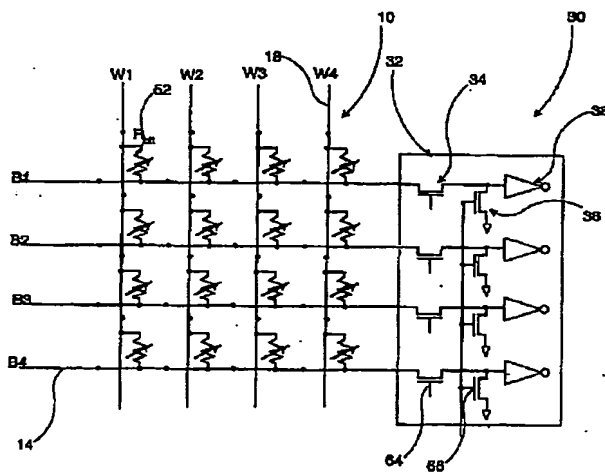
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 ウェーウェイ サン
アメリカ合衆国 ワシントン 98683,
バンクーバー, エスイー 18ディーエイ
チ ストリート 18806

Fターム(参考) 5F083 FZ10 JA36 JA37 JA38 PR40